

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re U.S. Patent Application of)
MISHIMA *et al.*)
Application Number: To be assigned)
Filed: Concurrently herewith)
For: LIQUID CRYSTAL DISPLAY DEVICE)

Honorable Assistant Commissioner
for Patents
Washington, D.C. 20231

#2/ Priority
8-1400
ICP
11002 U.S. PRO
09/051943
05/10/01

**REQUEST FOR PRIORITY
UNDER 35 U.S.C. § 119
AND THE INTERNATIONAL CONVENTION**

Sir:

In the matter of the above-captioned application for a United States patent, notice is hereby given that the Applicant claims the priority date of May 12, 2000, the filing date of the corresponding Japanese patent application 2000-140959.

The certified copy of corresponding Japanese patent application 2000-140959 is being submitted herewith. Acknowledgment of receipt of the certified copies is respectfully requested in due course.

Respectfully submitted,


Stanley P. Fisher

Registration Number 24,344

REED SMITH HAZEL & THOMAS LLP
3110 Fairview Park Drive
Suite 1400
Falls Church, Virginia 22042
(703) 641-4200
May 10, 2001

JUAN CARLOS A. MARQUEZ
Registration No. 34,072

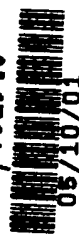
PRIORITY DOCUMENT

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

J1002 U.S. PRO

09/851943



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 5月12日

出 願 番 号

Application Number:

特願2000-140959

出 願 人

Applicant (s):

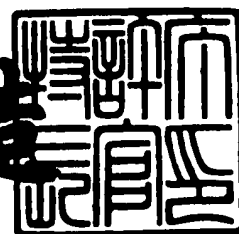
株式会社日立製作所

日立デバイスエンジニアリング株式会社

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3021631

【書類名】 特許願

【整理番号】 330000139

【提出日】 平成12年 5月12日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立製作所
ディスプレイグループ内

【氏名】 三島 康之

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 大脇 義雄

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1
【物件名】 要約書 1
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶表示装置

【特許請求の範囲】

【請求項 1】 液晶表示素子と、
複数の駆動回路と、

表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、
前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置
から送出される表示データおよびクロック信号を、基板内のバスラインおよびク
ロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示
装置であって、

前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した
領域に形成されるとともに、複数個に分割されていることを特徴とする液晶表示
装置。

【請求項 2】 前記表示制御装置は、前記表示データおよびクロック信号を
、送出タイミングに応じて、順番に前記分割された各バスラインおよび各クロッ
ク信号線に供給することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記表示制御装置は、前記表示データおよびクロック信号を
供給しない前記分割された各バスラインおよび各クロック信号線に、固定電圧レ
ベルの信号を供給することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】 前記回路基板のバスラインおよびクロック信号線は、2 個に
分割されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】 前記表示制御装置は、一方のバスラインおよびクロック信号
線と、他方のバスラインおよびクロック信号線とに、送出タイミングに応じて、
順番に前記表示データおよびクロック信号を供給することを特徴とする請求項 4
に記載の液晶表示装置。

【請求項 6】 前記表示制御装置は、一方のバスラインおよびクロック信号
線に、前記表示データおよびクロック信号を供給している間、他方のバスライン
およびクロック信号線に、固定電圧レベルの信号を供給することを特徴とする請
求項 5 に記載の液晶表示装置。

【請求項 7】 前記回路基板は、前記表示制御装置からの表示データおよびクロック信号入力用のコネクタが、前記回路基板の長手方向の中央部に設けられていることを特徴とする請求項 4 に記載の記載の液晶表示装置。

【請求項 8】 前記クロック信号は、表示データラッチ用クロック信号であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】 液晶表示素子と、
複数の駆動回路と、
表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、
前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、

前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、前記表示制御装置からの表示データおよびクロック信号入力用のコネクタが、前記回路基板の長手方向の端部以外の部分に設けられていることを特徴とする液晶表示装置。

【請求項 10】 前記コネクタは、前記回路基板の長手方向の中央部に設けられていることを特徴とする請求項 9 に記載の記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置に係わり、特に、液晶表示装置の駆動回路に適用して有効な技術に関する。

【0002】

【従来の技術】

STN (Super Twisted Nematic) 方式、あるいは TFT (Thin Film Transistor) の液晶表示モジュールは、ノート型パソコン等の表示装置として広く使用されている。

TFT 方式の液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する

駆動回路（ドレインドライバおよびゲートドライバ）、表示制御装置（または、タイミングコントローラ）、電源回路を備えている。

なお、このような液晶表示装置は、例えば、特願平 9 - 7 1 3 2 8 号に記載されている。

【 0 0 0 3 】

【発明が解決しようとする課題】

前述の T F T 方式の液晶表示装置においては、液晶パネルの長手方向（または、横方向）に配置されたドレインドライバと、液晶表示パネルの短手方向（または、縦方向）に配置されたゲートドライバを介して、各画素に表示データに対応した階調電圧を印加することにより、液晶パネルに画像を表示する。

そのため、ドレインドライバは、予め、表示データを、表示データラッチ用クロック信号に同期して取り込む必要がある。

近年、液晶表示装置においては、液晶表示パネルの大画面化の要求に伴って、液晶表示パネルの解像度として、X G A 表示モードの 1 0 2 4 × 7 6 8 画素、S X G A 表示モードの 1 2 8 0 × 1 0 2 4 画素、U X G A 表示モードの 1 6 0 0 × 1 2 0 0 画素と高解像度化が要求されている。

このような、液晶表示パネルの高解像度化に伴い、ドレインドライバ数が増加するとともに、各ドレインドライバにおいて、表示データを取り込むための時間が短くなり、さらに、表示データラッチ用クロック信号の周波数も増大していく。

【 0 0 0 4 】

一方、パーソナルコンピュータ等の情報機器では、当該情報機器から発生する放射電磁雑音の発生量が規制されている。

しかしながら、前述したような理由により、クロック信号の周波数が高くなると、液晶表示装置から発生する放射電磁雑音も大きくなるという問題点があった。

また、前述したように、表示データラッチ用クロック信号の周波数が高くなり、表示データを取り込むための時間が短くなると、主に、表示制御装置と各ドレインドライバとの間に設けられる回路基板内の内部抵抗、内部インダクタンス、

内部寄生容量、並びに、各ドレインドライバの入力容量により、表示制御装置から送出される表示データおよび表示データラッチ用クロック信号に、波形歪みが生じ、各ドレインドライバで表示データを取り込む際に、正確に表示データを取り込むことができなくなるという問題点があった。

【 0 0 0 5 】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置において、放射電磁波の発生量を低減することが可能となる技術を提供することにある。

また、本発明の他の目的は、高解像度の液晶表示素子を使用する液晶表示装置において、各駆動回路で正確に表示データを取り込むことが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【 0 0 0 6 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

即ち、本発明は、液晶表示素子と、複数の駆動回路と、表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、複数個に分割されていることを特徴とする。

【 0 0 0 7 】

本発明の実施の形態では、前記表示制御装置は、前記表示データおよびクロック信号を、送出タイミングに応じて、順番に前記分割された各バスラインおよび各クロック信号線に供給する。

本発明の実施の形態では、前記表示制御装置は、前記表示データおよびクロッ

ク信号を供給しない前記分割された各バスラインおよび各クロック信号線に、固定電圧レベルの信号を供給する。

【 0 0 0 8 】

本発明の実施の形態では、前記回路基板のバスラインおよびクロック信号線は、2個に分割されている。

本発明の実施の形態では、前記表示制御装置は、一方のバスラインおよびクロック信号線と、他方のバスラインおよびクロック信号線とに、送出タイミングに応じて、順番に前記表示データおよびクロック信号を供給する。

本発明の実施の形態では、前記表示制御装置は、一方のバスラインおよびクロック信号線に、前記表示データおよびクロック信号を供給している間、他方のバスラインおよびクロック信号線に、固定電圧レベルの信号を供給する。

【 0 0 0 9 】

また、本発明は、液晶表示素子と、複数の駆動回路と、表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、前記表示制御装置からの表示データおよびクロック信号入力用のコネクタが、前記回路基板の長手方向の端部以外の部分に設けられていることを特徴とする。

【 0 0 1 0 】

前記手段によれば、回路基板内のバスラインおよびクロック信号線を2系統に分割し、一方の系統には、表示データおよびクロック信号を表示制御装置から供給し、他方の系統には、固定電圧レベルの信号を供給するようにしたので、放射電磁雑音の発生量を少なくすることが可能となる。

また、前記手段によれば、回路基板の内部寄生容量、内部抵抗、内部インダクタンス、および駆動回路の入力容量を低減することが可能となるので、表示データの転送周波数、および、クロック信号の周波数が高くなる高精細液晶表示パネ

ルを使用する場合においても、振幅、位相など所定の信号波形を駆動回路で取り込むことが可能となる。

【 0 0 1 1 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【実施の形態 1】

図 1 は、本発明の実施の形態 1 の T F T 方式の液晶表示モジュールの概略構成を示すブロック図である。

本実施の形態の液晶表示モジュールは、液晶表示パネル（T F T - L C D）1 0 0 の長辺側の一边にドレインドライバ 1 3 0 が配置され、また、液晶表示パネル 1 0 0 の短辺側の一边に、ゲートドライバ 1 4 0 が配置される。

インタフェース部 1 6 0、ドレインドライバ 1 3 0、並びに、ゲートドライバ 1 4 0 は、それぞれ専用のプリント基板に実装される。

【 0 0 1 2 】

図 2 は、図 1 に示す液晶表示パネル 1 0 0 の一例の等価回路を示す図である。

同図に示すように、液晶表示パネル 1 0 0 は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する 2 本の信号線（ドレイン信号線（D）またはゲート信号線（G））と、隣接する 2 本の信号線（ゲート信号線（G）またはドレイン信号線（D））との交差領域内に配置される。

各画素は薄膜トランジスタ（T F T 1， T F T 2）を有し、各画素の薄膜トランジスタ（T F T 1， T F T 2）のソース電極は、画素電極（I T O 1）に接続され、画素電極（I T O 1）とコモン電極（I T O 2）との間に液晶層が設けられるので、薄膜トランジスタ（T F T 1， T F T 2）のソース電極とコモン電極との間には、液晶容量（C L C）が等価的に接続される。

また、薄膜トランジスタ（T F T 1， T F T 2）のソース電極と前段のゲート信号線（G）との間には、付加容量（C A D D）が接続される。

【 0 0 1 3 】

図 3 は、図 1 に示す液晶表示パネル 1 0 0 の他の例の等価回路を示す図である。

図 2 に示す例では、前段のゲート信号線 (G) とソース電極との間に付加容量 (CADD) が形成されているが、図 3 に示す例の等価回路では、コモン電極 (ITO2) に供給される VCOM の電圧が印加される共通信号線 (COM) とソース電極との間に保持容量 (CSTG) が形成されている点が異なっている。

なお、図 2、図 3 において、AR は表示領域である。

本発明は、どちらにも適用可能であるが、前者の方式では、前段のゲート信号線 (G) パルスが付加容量 (CADD) を介して画素電極に飛び込むのに対し、後者の方式では、飛び込みがないため、より良好な表示が可能となる。

また、図 2、図 3 は、縦電界方式の液晶表示パネルの等価回路を示しており、さらに、図 2、図 3 は回路図であるが、実際の幾何学的配置に対応して描かれている。

【 0 0 1 4 】

図 2、図 3 に示す液晶表示パネル 1 0 0 において、列方向に配置された各画素の薄膜トランジスタ (TFT1, TFT2) のドレイン電極は、それぞれドレイン信号線 (D) に接続され、各ドレイン信号線 (D) は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ 1 3 0 に接続される。

また、行方向に配置された各画素における薄膜トランジスタ (TFT1, TFT2) のゲート電極は、それぞれゲート信号線 (G) に接続され、各ゲート信号線 (G) は、1 水平走査時間、行方向の各画素の薄膜トランジスタ (TFT1, TFT2) のゲート電極に走査駆動電圧 (正のバイアス電圧あるいは負のバイアス電圧) を供給するゲートドライバ 1 4 0 に接続される。

【 0 0 1 5 】

図 1 に示すインタフェース部 1 6 0 は、表示制御装置 1 1 0 と電源回路 1 2 0 とから構成される。

表示制御装置 1 1 0 は、1 個の半導体集積回路 (LSI) から構成され、コンピュータ本体等の映像信号源から送信されてくるクロック信号 (CK)、ディス

プレイタイミング信号（DTMG）、水平同期信号（HSYNC）、垂直同期信号（VSYNC）の各表示制御信号および表示用データ（R・G・B）を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。

表示制御装置110は、ディスプレイタイミング信号が入力されると、これを表示開始位置と判断し、受け取った単純1列の表示データを、表示データのバスラインを介してドレインドライバ130に出力する。

その際、表示制御装置110は、ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号である表示データラッチ用クロック信号（CL2；以下、単に、クロック信号CL2という）を信号線を介して出力する。

本体コンピュータ側からの表示データは6ビットあるいは8ビットで、1画素単位、即ち、赤（R）、緑（G）、青（B）の各データを1つの組にして単位時間毎に転送される。

【0016】

表示制御装置110は、ディスプレイタイミング信号の入力が終了するか、または、ディスプレイタイミング信号が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したものとして、ドレインドライバ130のラッチ回路に蓄えていた表示データを液晶表示パネル100のドレイン信号線（D）に出力するための表示制御信号である出力タイミング制御用クロック信号（CL1；以下、単に、クロック信号CL1という）を信号線を介してドレインドライバ130に出力する。

また、表示制御装置110は、垂直同期信号入力後に、第1番目のディスプレイタイミング信号が入力されると、これを第1番目の表示ラインと判断して信号線を介してゲートドライバ140にフレーム開始指示信号（FLM）を出力する。

さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル100の各ゲート信号線（G）に正のバイアス電圧を印加するように、信号線を介してゲートドライバ140へ1水平走査時間周期のシフトクロック信号（CL3；以下、単に、クロック信号CL3という）を出力す

る。

これにより、液晶表示パネル 1 0 0 の各ゲート信号線 (G) に接続された複数の薄膜トランジスタ (T F T 1, T F T 2) が、1 水平走査時間の間導通する。

以上の動作により、液晶表示パネル 1 0 0 に画像が表示される。

【 0 0 1 7 】

図 1 に示す電源回路 1 2 0 は、正電圧生成回路 1 2 1、負電圧生成回路 1 2 2、コモン電極 (対向電極) 電圧生成回路 1 2 3、ゲート電極電圧生成回路 1 2 4 から構成される。

正電圧生成回路 1 2 1、負電圧生成回路 1 2 2 は、それぞれ直列抵抗分圧回路で構成され、正極性の 5 値の階調基準電圧 ($V''_0 \sim V''_4$) を、負電圧生成回路 1 2 2 は負極性の 5 値の階調基準電圧 ($V''_5 \sim V''_9$) を出力する。

この正極性の階調基準電圧 ($V''_0 \sim V''_4$)、および負極性の階調基準電圧 ($V''_5 \sim V''_9$) は、各ドレインドライバ 1 3 0 に供給される。

また、各ドレインドライバ 1 3 0 には、表示制御装置 1 1 0 からの交流化信号 (交流化タイミング信号 ; M) も供給される。

コモン電極電圧生成回路 1 2 3 はコモン電極 (I T O 2) に印加する駆動電圧を、ゲート電極電圧生成回路 1 2 4 は薄膜トランジスタ (T F T 1, T F T 2) のゲート電極に印加する駆動電圧 (正のバイアス電圧および負のバイアス電圧) を生成する。

【 0 0 1 8 】

図 4 は、図 1 に示すドレインドライバ 1 3 0 の一例の概略構成示すブロック図である。

なお、ドレインドライバ 1 3 0 は、1 個の半導体集積回路 (L S I) から構成される。

同図において、表示データのビット数を n とするとき、正極性階調電圧生成回路 1 5 1 a は、正電圧生成回路 1 2 1 から入力される正極性の 5 値の階調基準電圧 ($V''_0 \sim V''_4$) に基づいて、正極性の 2^n 階調の階調電圧を生成し、電圧バスライン 1 5 8 a を介して出力回路 1 5 7 に出力する。

負極性階調電圧生成回路 1 5 1 b は、負電圧生成回路 1 2 2 から入力される負

極性の 5 値の階調基準電圧 ($V''_5 \sim V''_9$) に基づいて、負極性の 2^n 階調の階調電圧を生成し、電圧バスライン 1 5 8 b を介して出力回路 1 5 7 に出力する。

また、ドレインドライバ 1 3 0 の制御回路 1 5 2 内のシフトレジスタ回路 1 5 3 は、表示制御装置 1 1 0 から入力されるクロック信号 (CL_2) に基づいて、入力レジスタ回路 1 5 4 のデータ取り込み用信号を生成し、入力レジスタ回路 1 5 4 に出力する。

【 0 0 1 9 】

入力レジスタ回路 1 5 4 は、シフトレジスタ回路 1 5 3 から出力されるデータ取り込み用信号に基づき、表示制御装置 1 1 0 から入力されるクロック信号 (CL_2) に同期して、各色毎の n ビットの表示データを出力端子数分だけラッチする。

ストレージレジスタ回路 1 5 5 は、表示制御装置 1 1 0 から入力される出力タイミング制御用クロック信号 (CL_1) に応じて、入力レジスタ回路 1 5 4 内の表示データをラッチする。

このストレージレジスタ回路 1 5 5 に取り込まれた表示データは、レベルシフト回路 1 5 6 を介して出力回路 1 5 7 に入力される。

出力回路 1 5 7 は、正極性の 2^n 階調の階調電圧、あるいは負極性の 2^n 階調の階調電圧から、表示データに対応した 1 つの階調電圧を選択して、各ドレイン信号線 (D) に出力する。

【 0 0 2 0 】

図 5 は、出力回路 1 5 7 の構成を中心に、図 4 に示すドレインドライバ 1 3 0 の構成を説明するためのブロック図である。

一般に、液晶層は、長時間同じ電圧 (直流電圧) が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

これを防止するために、従来の TFT 方式の液晶表示モジュールにおいては、液晶層に交流の駆動電圧を印加するようにしている。

この液晶層に交流電圧を印加する駆動方法として、ドット反転法あるいは N ラ

イン反転法等のコモン対称法が知られており、図 5 は、駆動方法としてドット反転法を採用する場合の構成を図示している。

同図において、1 5 3 は図 4 に示す制御回路 1 5 2 内のシフトレジスタ回路、1 5 6 は図 4 に示すレベルシフト回路であり、また、データラッチ部 2 6 5 は、図 4 に示す入力レジスタ回路 1 5 4 とストレージレジスタ回路 1 5 5 とを表し、さらに、デコーダ部（階調電圧選択回路）2 6 1、アンプ回路対 2 6 3、アンプ回路対 2 6 3 の出力を切り替えるスイッチ部（2）2 6 4 が、図 4 に示す出力回路 1 5 7 を構成する。

ここで、スイッチ部（1）2 6 2 およびスイッチ部（2）2 6 4 は、交流化信号（M）に基づいて制御される。

また、Y 1，Y 2，Y 3，Y 4，Y 5，Y 6 は、それぞれ第 1 番目、第 2 番目、第 3 番目、第 4 番目、第 5 番目、第 6 番目のドレイン信号線（D）を示している。

【 0 0 2 1 】

図 5 に示すドインドライバ 1 3 0 においては、スイッチ部（1）2 6 2 により、データラッチ部 2 6 5（より詳しくは、図 4 に示す入力レジスタ 1 5 4）に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを各色毎の隣合うデータラッチ部 2 6 5 に入力する。

デコーダ部 2 6 1 は、正極性階調電圧生成回路 1 5 1 a から電圧バスライン 1 5 8 a を介して出力される正極性の 2^n 階調の階調電圧から、各データラッチ部 2 6 5（より詳しくは、図 4 に示すストレージレジスタ 1 5 5）から出力される表示用データに対応する正極性の階調電圧を選択する高電圧用デコーダ回路 2 7 8 と、負極性階調電圧生成回路 1 5 1 b から電圧バスライン 1 5 8 b を介して出力される負極性の 2^n 階調の階調電圧から、各データラッチ部 2 6 5 から出力される表示用データに対応する負極性の階調電圧を選択する低電圧用デコーダ回路 2 7 9 とから構成される。

この高電圧用デコーダ回路 2 7 8 と低電圧用デコーダ回路 2 7 9 とは、隣接するデータラッチ部 2 6 5 毎に設けられる。

【 0 0 2 2 】

アンプ回路対 2 6 3 は、高電圧用アンプ回路 2 7 1 と低電圧用アンプ回路 2 7 2 とにより構成される。

高電圧用アンプ回路 2 7 1 には高電圧用デコーダ回路 2 7 8 で選択された正極性の階調電圧が入力され、正極性の階調電圧を出力する。

低電圧用アンプ回路 2 7 2 には低電圧用デコーダ回路 2 7 9 で選択された負極性の階調電圧が入力され、負極性の階調電圧を出力する。

ドット反転法では、隣接する各色の階調電圧は互いに逆極性となり、また、アンプ回路対 2 6 3 の高電圧用アンプ回路 2 7 1 および低電圧用アンプ回路 2 7 2 の並びは、高電圧用アンプ回路 2 7 1 → 低電圧用アンプ回路 2 7 2 → 高電圧用アンプ回路 2 7 1 → 低電圧用アンプ回路 2 7 2 となるので、スイッチ部 (1) 2 6 2 により、データラッチ部 2 6 5 に入力されるデータ取り込み用信号を切り替えて、各色毎の表示データを、各色毎の隣り合うデータラッチ部 2 6 5 に入力し、それに合わせて、高電圧用アンプ回路 2 7 1 あるいは低電圧用アンプ回路 2 7 2 から出力される出力電圧をスイッチ部 (2) 2 6 4 により切り替え、各色毎の階調電圧が出力されるドレイン信号線 (D)、例えば、第 1 番目のドレイン信号線 (Y 1) と第 4 番目のドレイン信号線 (Y 4) とに出力することにより、各ドレイン信号線 (D) に正極性あるいは負極性の階調電圧を出力することが可能となる。

【 0 0 2 3 】

図 6 は、本実施の形態の液晶表示モジュールの各回路基板の構成を示すブロック図である。

同図において、1 は本体コンピュータ等の映像信号源、2 はコントロール基板、3 はドレインドライバ側回路基板、4 はゲートドライバ側回路基板、2 0 はドレインドライバ 1 3 0 およびゲートドライバ 1 4 0 を構成する半導体チップが実装されたテープキャリアパッケージ (以下、TCP という)、CT 1 ~ CT 3 はコネクタである。

回路基板 (3, 4) は、例えば、ガラス・エポキシ・プリント配線基板やフレキシブルプリント配線基板などで構成され、TCP 2 0 と回路基板 (3, 4) とは、半田あるいは ACF 等により電氣的・機械的に接続される。

なお、図示は省略するが、コントロール基板 2 は、液晶表示モジュールの裏側（液晶表示パネル側と反対側）に配置され、また、各回路基板（3，4）は、主に、液晶表示パネル 1 0 0 の側面に配置される。

【0 0 2 4】

回路基板 3 には、表示データが転送されるバスライン（1 3 a，1 3 b）、クロック信号（C L 2）が転送される信号線（1 4 a，1 4 b）、クロック信号（C L 1）が転送される信号線 1 5、交流化信号（M）が転送される信号線 1 6、およびキャリー信号（E）が転送される信号線 1 7 が設けられ、回路基板 4 には、フレーム開始信号（F L M）が転送される信号線 1 8、およびクロック信号（C L 3）が転送される転送される信号線 1 8 が設けられる。

表示制御装置 1 1 0 からの表示データは、コネクタ C T 2 を介して、回路基板 3 のバスライン（1 3 a，1 3 b）に入力され、このバスライン（1 3 a，1 3 b）を介して各ドレインドライバ 1 3 0 に入力される。

同様に、表示制御装置 1 1 0 からの表示制御信号は、コネクタ（C T 2，C T 3）を介して、回路基板（3，4）の各信号線に入力され、各信号線を介して各ドレインドライバ 1 3 0 およびゲートドライバ 1 4 0 に入力される。

なお、図 6 では、バスライン（1 3 a，1 3 b）は、一本のラインで表しているが、実際は、各色の表示データのビット数（表示データのビット数を n とするとき、 $3 \times n$ 本）分設けられる。

また、回路基板（3，4）には、その他の信号を転送する信号線、電源電圧および階調基準電圧を供給する電源ラインも設けられるが、これらの図示は、図 6 では省略している。

【0 0 2 5】

本実施の形態では、回路基板 3 のバスライン（1 3 a，1 3 b）および信号線（1 4 a，1 4 b）が、2 系統に分割され、それに伴い、ドレインドライバ 1 3 0 も 2 グループに分割される。

そして、第 1 のグループのドレインドライバ 1 3 0 には、バスライン 1 3 a および信号線 1 4 a を介して、表示データ並びにクロック信号（C L 2）が供給され、第 2 のグループのドレインドライバ 1 3 0 には、バスライン 1 3 b および信

号線 1 4 b を介して、表示データ並びにクロック信号 (C L 2) が供給される。

ここで、初めに、表示制御装置 1 1 0 は、回路基板 3 のバスライン 1 3 a と、信号線 1 4 a に、表示データとクロック信号 (C L 2) を供給し、回路基板 3 のバスライン 1 3 b と、信号線 1 4 b に、固定電圧レベルの信号 (例えば、L o w レベルの信号) を供給する。

次に、表示制御装置 1 1 0 は、回路基板 3 のバスライン 1 3 b と、信号線 1 4 b に、表示データとクロック信号 (C L 2) を供給し、回路基板 3 のバスライン 1 3 b と、信号線 1 4 b に、固定電圧レベルの信号 (例えば、L o w レベルの信号) を供給する。

【 0 0 2 6 】

図 1 2 は、従来の液晶表示モジュールにおける、回路基板 3 の構成を示すブロック図である。

同図に示すように、従来の液晶表示モジュールでは、回路基板 3 のバスライン 1 3 および信号線 1 4 は、分割されることなく 1 本の線で構成され、また、コネクタ C T 2 は、回路基板 3 の一方の端部に設けられていた。

図 1 3 は、図 1 2 に示す回路基板 3 の等価回路を示す図である。

同図に示すように、回路基板 3 のバスライン 1 3 および信号線 1 4 は、分布定数線路を構成し、同図において 8 は、回路基板 3 に設けられたバスラインおよび信号線同士、あるいは、回路基板 3 に設けられたバスラインおよび信号線と、基準電位 (G N D) との間の内部寄生容量、9 は、回路基板 3 に設けられたバスラインおよび信号線の内部抵抗、1 0 は、回路基板 3 に設けられたバスラインおよび信号線の内部インダクタンス、1 1 は、ドレインドライバ 1 3 0 の入力インピーダンス (ここでは、入力容量) である。

図 1 4 は、図 1 2 に示す表示制御装置 1 1 0 から回路基板 3 に出力される表示データ (D A T A) と、クロック信号 (C L 2) の出力波形を示す図である。

ここで、表示データ (D A T A) は、例えば、クロック信号 (C L 2) の立ち上がり時点で、ドレインドライバ 1 3 0 に取り込まれる。

【 0 0 2 7 】

前述したように、液晶表示パネル 1 0 0 が大型化・高解像度されると、1 表示

ライン当たりの画素数が増加するので、表示データ（DATA）の取り込み時間、即ち、クロック信号（CL2）の1周期（ t_{clk} ）が短くなる。

さらに、液晶表示パネル100が大型化・高解像度されると、回路基板3の長手方向の長さが大きくなり、前述した内部寄生容量8、内部抵抗9、内部インダクタンス10が増加するばかりでなく、ドレインドライバ数も多くなるので、入力容量11も増大する。

その結果、表示制御装置110から図14に示す出力波形の表示データ（DATA）およびクロック信号（CL2）を出力しているのにも関わらず、ドレインドライバ130の入力部には、図15に示すような、波形歪みが生じた表示データ（DATA）およびクロック信号（CL2）が入力される。

これにより、ドレインドライバ130において、所定のデータを取り込むことができず、液晶表示パネル100に誤った画像が表示されることになる。

また、従来の液晶表示モジュールでは、回路基板3のバスライン13および信号線14の全てに、表示データ（DATA）およびクロック信号（CL2）が供給されているため、回路基板3から放射される放射電磁波雑音が大きくなる。

【0028】

図7は、本実施の形態の回路基板3の等価回路を示す図である。

図8は、本実施の形態の表示制御装置110から回路基板3に出力される表示データ（DATA）と、クロック信号（CL2）の出力波形を示す図である。

図7から分かるように、回路基板3のバスライン（13a, 13b）および信号線（14a, 14b）を2系統に分割することにより、分割されたバスライン（13a, 13b）および信号線（14a, 14b）における、内部寄生容量8、内部抵抗9、内部インダクタンス10、並びに、ドレインドライバ130の入力容量11が、夫々半減する。

したがって、表示データ（DATA）およびクロック信号（CL2）のパルス状の信号波形の波形歪み量も1/2に低下することにより、図9に示すような、波形歪みの少ない表示データ（DATA）およびクロック信号（CL2）がドレインドライバ130に入力されるので、周期（ t_{clk} ）が短くなった場合でも、各ドレインドライバ130において、所定のデータを取り込むことが可能とな

る。

さらに、本実施の形態では、回路基板 3 の長手方向の右半分と左半分とは、1 水平走査期間内の半分は、表示データ (DATA) およびクロック信号 (CL2) が供給されないので、回路基板 3 から発生される放射電磁波の量を $1/2$ にでき、放射電磁雑音の発生量を少なくすることができるので、低ノイズの液晶表示装置が実現することが可能となる。

【0029】

このように、本実施の形態によれば、表示制御装置 110 から、ドレインドライバ 130 に、パルス状の表示データ (DATA) 及びクロック信号 (CL2) を伝送する際に、前記伝送経路中の回路基板 3 の内部寄生容量 8、内部抵抗 9、内部インダクタンス 10、およびドレインドライバ 130 の入力容量 11 を $1/2$ に低減することが可能になる。

それにより、表示データ (DATA) の転送周波数、および、クロック信号 (CL2) の周波数が高くなる高精細液晶表示パネル 100 の場合においても、前述の内部寄生容量 8、内部抵抗 9、内部インダクタンス 10、および入力容量 11 を $1/2$ に低減することが可能となり、振幅、位相など所定の信号波形をドレインドライバ 130 に入力でき、駆動の安定した高精細液晶表示装置を実現することが可能となる。

また、回路基板内の 2 系統のバスライン (13a, 13b) および信号線 (14a, 14b) のうちの、一方の系統には、表示データ (DATA) およびクロック信号 (CL2) を表示制御装置 110 から供給し、他方の系統には、固定電圧レベルの信号 (例えば、Low レベルの信号) を供給するようにしたので、常に回路基板内の $1/2$ の領域からは、放射電磁波の発生を抑えることができ、放射電磁雑音の発生量を少なくすることが可能となる。

【0030】

[実施の形態 2]

図 10 は、本発明の実施の形態 2 の液晶表示モジュールの各回路基板の構成を示すブロック図である。

本実施の形態は、回路基板 3 のバスライン 13 および信号線 14 が、単一の信

号線で構成される点で、前記実施の形態 1 の液晶表示モジュールと相違する。

以下、前記実施の形態 1 との相違点を中心に、本実施の形態について説明する。

本実施の形態でも、コネクタ C T 2 が、回路基板 3 の中央部に配置される。

それにより、コネクタ C T 2 から最遠端に位置するドレインドライバ 1 3 0 の場合、前述の内部寄生容量 8、内部抵抗 9、内部インダクタンス 1 0、および入力容量 1 1 は、図 1 2 に示す従来の液晶表示モジュールよりも、 $1/2$ に低下する。

したがって、本実施の形態でも、表示データ (D A T A) およびクロック信号 (C L 2) の信号波形の波形歪み量を低減することができ、波形歪みの少ない表示データ (D A T A) およびクロック信号 (C L 2) がドレインドライバ 1 3 0 に入力されるので、周期 (t c l k) が短くなった場合でも、ドレインドライバ 1 3 0 において、所定のデータを取り込むことが可能となる。

前記実施の形態の表示制御装置 1 1 0 では、表示データ出力部と、クロック信号 (C L 2) のクロック信号出力部とが、2 系統必要になるのに対して、本実施の形態の表示装置は、それらが 1 系統で済むため、表示制御装置 1 1 0 の回路構成が簡単になるという利点を有する。

一方、放射電磁雑音の発生量を抑制する機能では、前記実施の形態 1 の液晶表示モジュールのほうが優れる。

【 0 0 3 1 】

【実施の形態 3】

図 1 1 は、本発明の実施の形態 3 の液晶表示モジュールの回路基板の構成を示すブロック図である。

本実施の形態は、前述の実施の形態 1 にて、図 6 を参照して説明した本発明の液晶表示モジュールの変形例の一つにおける各回路基板の構成を示す図である。

図 1 1 および図 6 に示されるドレインドライバ側回路基板 3 のレイアウトを比較すると、各ドレインドライバへ表示データ (D A T A) を転送するバスライン (1 3 a, 1 3 b) が、回路基板 3 の半ばで左右に分離されている点で双方は共通する。

しかし、クロック信号（CL2）を伝送する2本の信号線（14od, 14ev）が、図11の回路基板3にて左右に分割されず、かつ、回路基板3の長手方向に沿って並んで伸びる形状を有する点で、図6の回路基板3に設けられた信号線（14a, 14b）の形状と相違する。

図11の回路基板3に併設された2本の信号の一方（14od）には、図の左側から数えて奇数番の位置にある（以下、奇数番目の）ドレインドライバ130が夫々接続される。

また、2本の信号線の他方（14ev）には、図の左側から数えて偶数番の位置ある（以下、偶数番目の）ドレインドライバ130が夫々接続される。

【0032】

液晶表示パネル100による画像表示は、これに設けられた複数のゲート信号線（G）の1本毎にゲート信号を送り、このゲート信号線に対応して各ドレイン信号線（D）に供給される階調電圧（表示データに基づく階調電圧）を液晶表示パネル100に設けられた画素（図11には示さず、図2参照）の夫々に供給する。

このゲート信号線毎の表示データの供給は、前記クロック信号（CL2）のパルスに応じて、複数のドレインドライバ130の、例えば、図の左端に配置されたものから1つずつ動作させ、夫々のドレインドライバ130に、表示データ（DATA）を蓄積する。

この場合、ある1本のゲート信号線に対応する図の左端のドレインドライバ130への表示データ取り込み開始から右端のドレインドライバ130への表示データ取り込み終了に到る液晶表示パネル駆動期間を「水平走査期間」と呼ぶ。

図6の液晶表示モジュールの場合、水平走査期間の前半にて信号線14aに、水平走査期間の後半にて信号線14bに夫々クロック信号（CL2）を伝送して、これに設けられた各々のドレインドライバ130に表示データ（DATA）を取り込む。

【0033】

これに対し、図11の液晶表示モジュールの場合、水平走査期間内においてクロック信号（CL2）を、2つの信号線（14od, 14ev）に交互に伝送し

、信号線 1 4 o d にクロック信号 (C L 2) が伝送されたときに奇数番目のドレインドライバに、信号線 1 4 e v にクロック信号 (C L 2) が伝送されたときに偶数番目のドレインドライバに、夫々の表示データ (D A T A) を取り込む。

したがって、いずれの場合においても、前記信号線 (1 4 o d, 1 4 e v) の各々に接続されるドレインドライバ数も減らすことができ、これらの信号線 (1 4 o d, 1 4 e v) により伝送されるクロック信号 (C L 2) のいずれの波形歪も抑制される。

さらに、本実施の形態 (図 1 1) の場合、ゲート信号線 (G) の延伸方向に沿って併設された複数のドレインドライバ 1 3 0 に順次表示データ (D A T A) を取り込む動作を、これらのドレインドライバ 1 3 0 の隣接し合う夫々に、異なる信号線 (1 4 o d, 1 4 e v) からクロック信号 (C L 2) を夫々供給して行なうため、クロック信号 (C L 2) の周波数を低め (例えば、従来の 1 / 2) に設定することができる。

したがって、本実施の形態によれば、前述の実施の形態 1 に比べて回路基板 3 における配線面積が大きくなるものの、クロック信号線への負荷が低減できるという利点がある。

【 0 0 3 4 】

なお、このように信号線を回路基板 3 の延伸方向に 2 本又はそれ以上 (複数本) 併設し、隣接し合うドレインドライバ 1 3 0 に異なる信号線から信号を供給する形態は、クロック信号 (C L 2) に限らず、これと同じ周期で信号電圧が変化し得る表示データのバスライン 1 3 に採用してもよい。

一方、ある水平走査期間において、上述のようにドレインドライバ 1 3 0 に取り込まれた表示データ (D A T A) に対応する階調電圧は、その水平走査期間の終了間際にクロック信号 (C L 1) のパルスを合図に、夫々のドレインドライバ 1 3 0 から、その各々に接続されたドレイン信号線 (D) に一斉に供給される。

また、このようにドレイン信号線 (D) に供給される階調電圧の極性は、信号線 1 6 からの交流化信号 (M) を受けて所定の水平走査期間等に反転される。

これにより、液晶層に印加される電圧を定期的に逆転させて、液晶像内の分極による表示不良を抑える。

テレビジョン装置のように、液晶表示装置を高速で駆動する場合においては、その水平走査期間もかなり短くなる。

このような場合は、水平走査期間、またはこれに近い周期で変動するクロック信号（C L 1）や、交流化信号（M）を伝送する信号線（1 5, 1 6）を、本実施の形態におけるクロック信号（C L 2）用の信号線（1 4 o d, 1 4 e v）と同様な形状で設けてもよい。

【0 0 3 5】

なお、前記説明では、おもに、回路基板 3 のバスライン 1 3 およびクロック信号線 1 4 に本発明を適用した場合について説明したが、本発明は、これに限定されるものではなく、回路基板 3 の他の信号線、あるいは回路基板 4 の信号線に適用することも可能である。

また、前記各実施の形態では、本発明を縦電界方式の液晶表示パネルに適用した場合について説明したが、これに限定されるものではなく、横電界方式の液晶表示パネルにも適用可能である。

また、前記各実施の形態では、本発明を T F T 方式の液晶表示装置に適用した場合について説明したが、これに限定されるものではなく、本発明は、S T N 方式の単純マトリクス形液晶表示装置にも適用可能であることは言うまでもない。

以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0 0 3 6】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

（１）本発明の液晶表示装置によれば、放射電磁雑音の発生量を低減することが可能となる。

（２）本発明の液晶表示装置によれば、高解像度の液晶表示素子を使用する場合であっても、各駆動回路で正確に表示データを取り込むことが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 の T F T 方式の液晶表示モジュールの概略構成を示すブロック図である。

【図 2】

図 1 に示す液晶表示パネルの一例の等価回路を示す図である。

【図 3】

図 1 に示す液晶表示パネルの他の例の等価回路を示す図である。

【図 4】

図 1 に示すドレインドライバの概略構成を示すブロック図である。

【図 5】

出力回路の構成を中心に、図 4 に示すドレインドライバの構成を説明するためのブロック図である。

【図 6】

本発明の実施の形態 1 の液晶表示モジュールの各回路基板の構成を示すブロック図である。

【図 7】

本実施の形態の回路基板の等価回路を示す図である。

【図 8】

本発明の実施の形態 1 の表示制御装置から回路基板に出力される表示データ（DATA）と、クロック信号（CL2）の出力波形を示す図である。

【図 9】

本発明の実施の形態 1 のドレインドライバに入力される表示データ（DATA）と、クロック信号（CL2）の出力波形を示す図である。

【図 10】

本発明の実施の形態 2 の液晶表示モジュールの各回路基板の構成を示すブロック図である。

【図 11】

本発明の実施の形態 3 の液晶表示モジュールの各回路基板の構成を示すブロック図である。

【図 1 2】

従来の液晶表示モジュールにおける、回路基板の構成を示すブロック図である。

【図 1 3】

図 1 2 に示す回路基板の等価回路を示す図である。

【図 1 4】

図 1 2 に示す表示制御装置から回路基板に出力される表示データ (DATA) と、クロック信号 (CL2) の出力波形を示す図である。

【図 1 5】

図 1 2 に示すドレインドライバに入力される表示データ (DATA) と、クロック信号 (CL2) の出力波形を示す図である。

【符号の説明】

1 … 本体コンピュータ等の映像信号源、2 … コントロール基板、3 … ドレインドライバ側回路基板、4 … ゲートドライバ側回路基板、8 … 内部寄生容量、9 … 内部抵抗、10 … 内部インダクタンス、11 … ドレインドライバの入力容量、13, 13a, 13b … バスライン、14, 14a, 14b, 14od, 14ev ~ 19 … 信号線、20 … テープキャリアパッケージ (TCP)、100 … 液晶表示パネル、110 … 表示制御装置、120 … 電源回路、121 … 正電圧生成回路、122 … 負電圧生成回路、123 … コモン電極 (対向電極) 電圧生成回路、124 … ゲート電極電圧生成回路、130, DRV … ドレインドライバ、133 … 表示データのバスライン、140 … ゲートドライバ、151a, 151b … 階調電圧生成回路、152 … 制御回路、153 … シフトレジスタ回路、154 … 入力ラッチ回路、155 … ストレージレジスタ回路、156 … レベルシフト回路、157 … 出力回路、158a, 158b … 電圧バスライン、160 … インタフェース部、261 … デコーダ部、262, 264 … スイッチ部、263 … アンプ回路対、265 … データラッチ部、271 … 高電圧用アンプ回路、272 … 低電圧用アンプ回路、278, 279 … デコーダ回路、ITO1 … 画素電極、ITO2 … コモン電極、D, Y … ドレイン信号線、G … ゲート信号線、TFT1, TFT2 … 薄膜トランジスタ、CLC … 液晶容量、CADD … 付加容量、CSTG … 保持容量

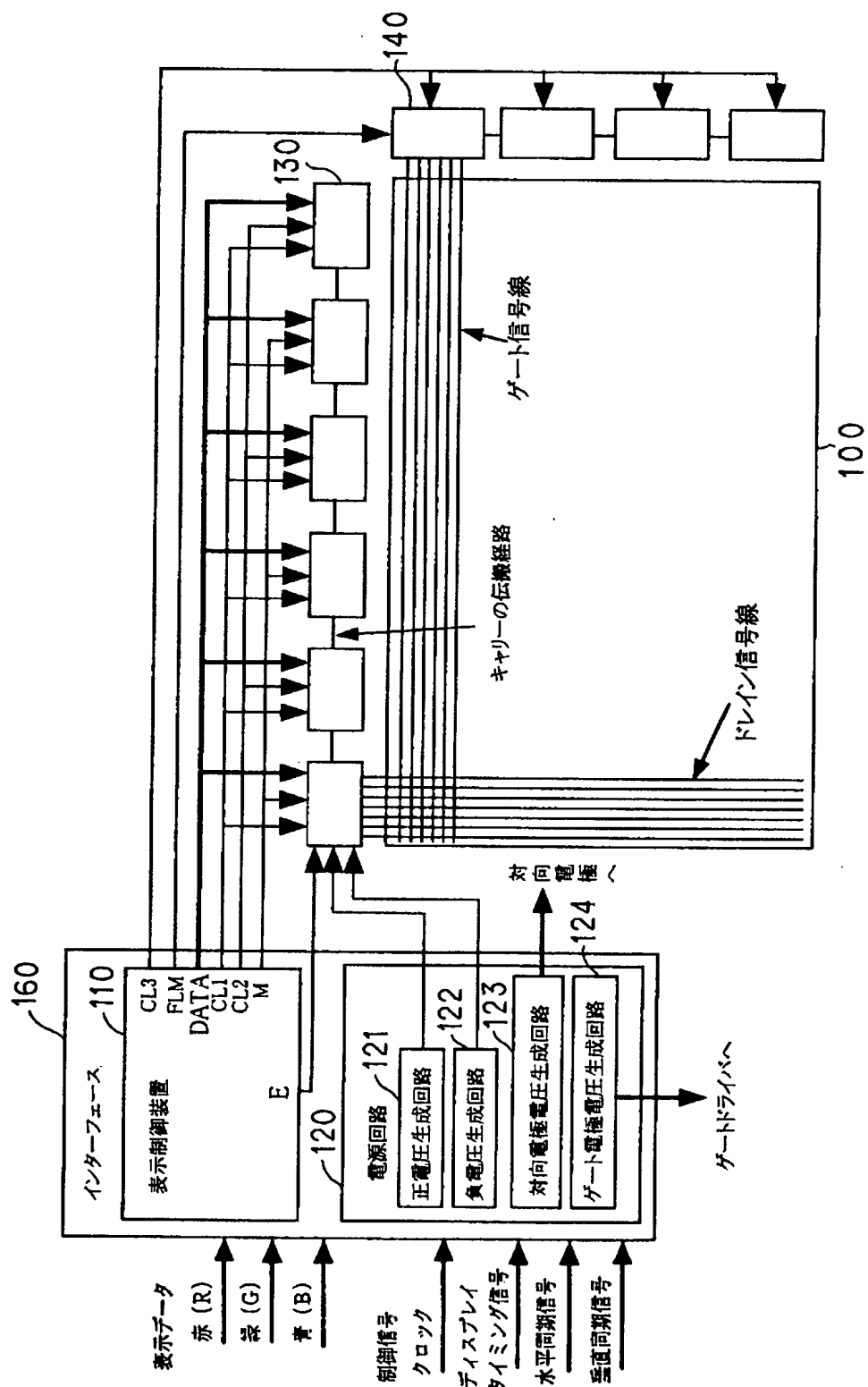
、COM…共通信号線、CT 1 ~ CT 3 …コネクタ。

【書類名】

図面

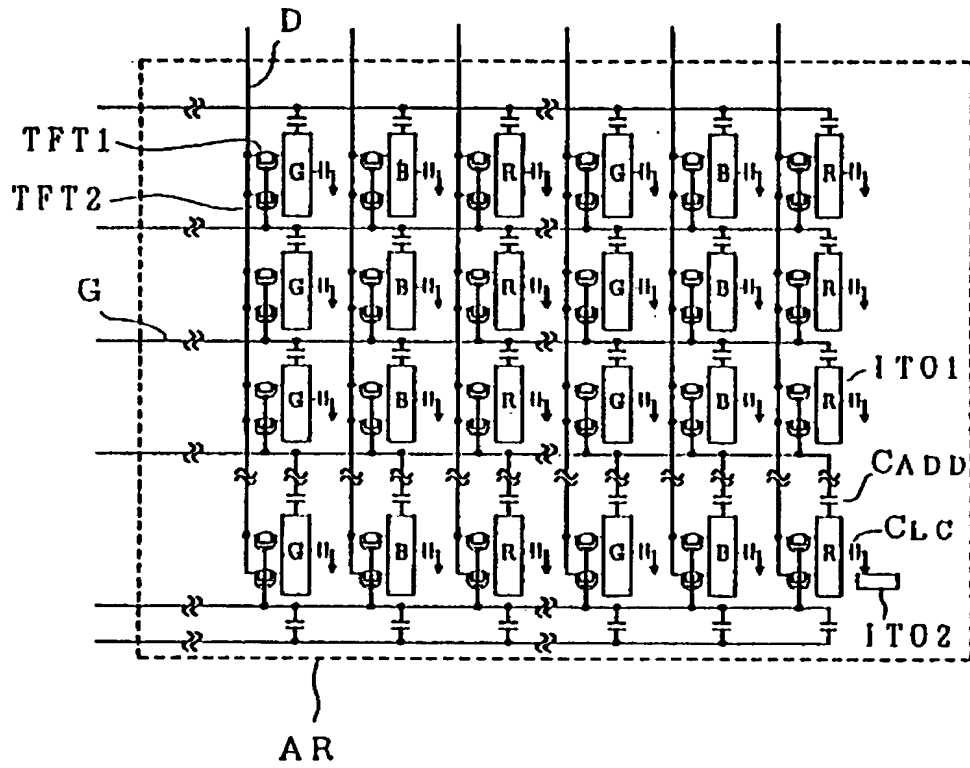
【図 1】

図 1



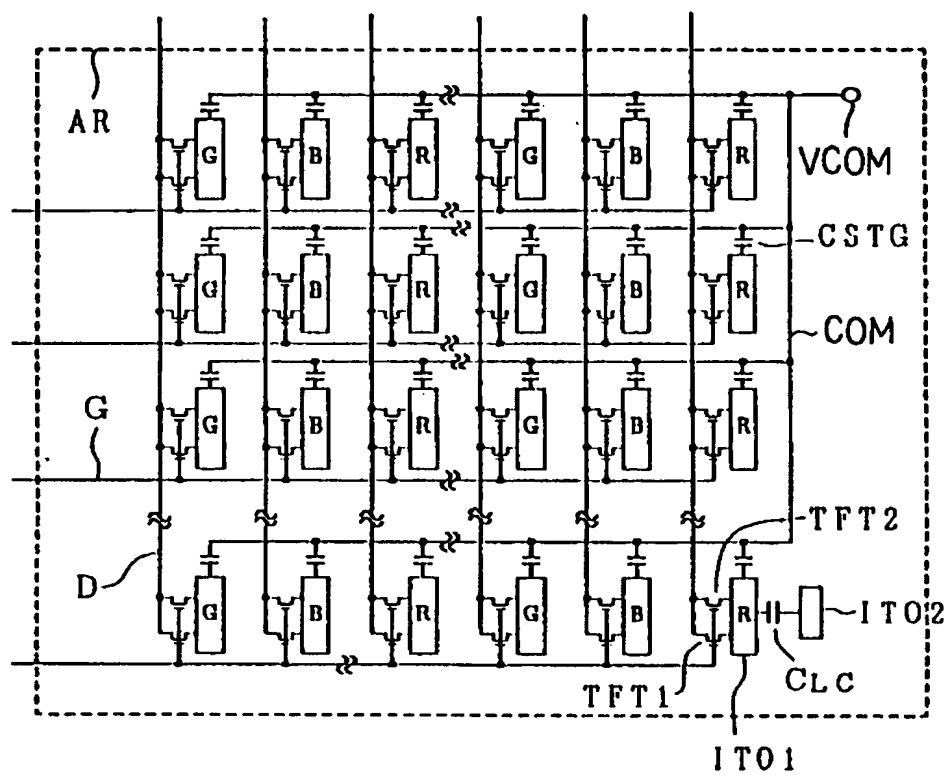
【図 2】

図 2



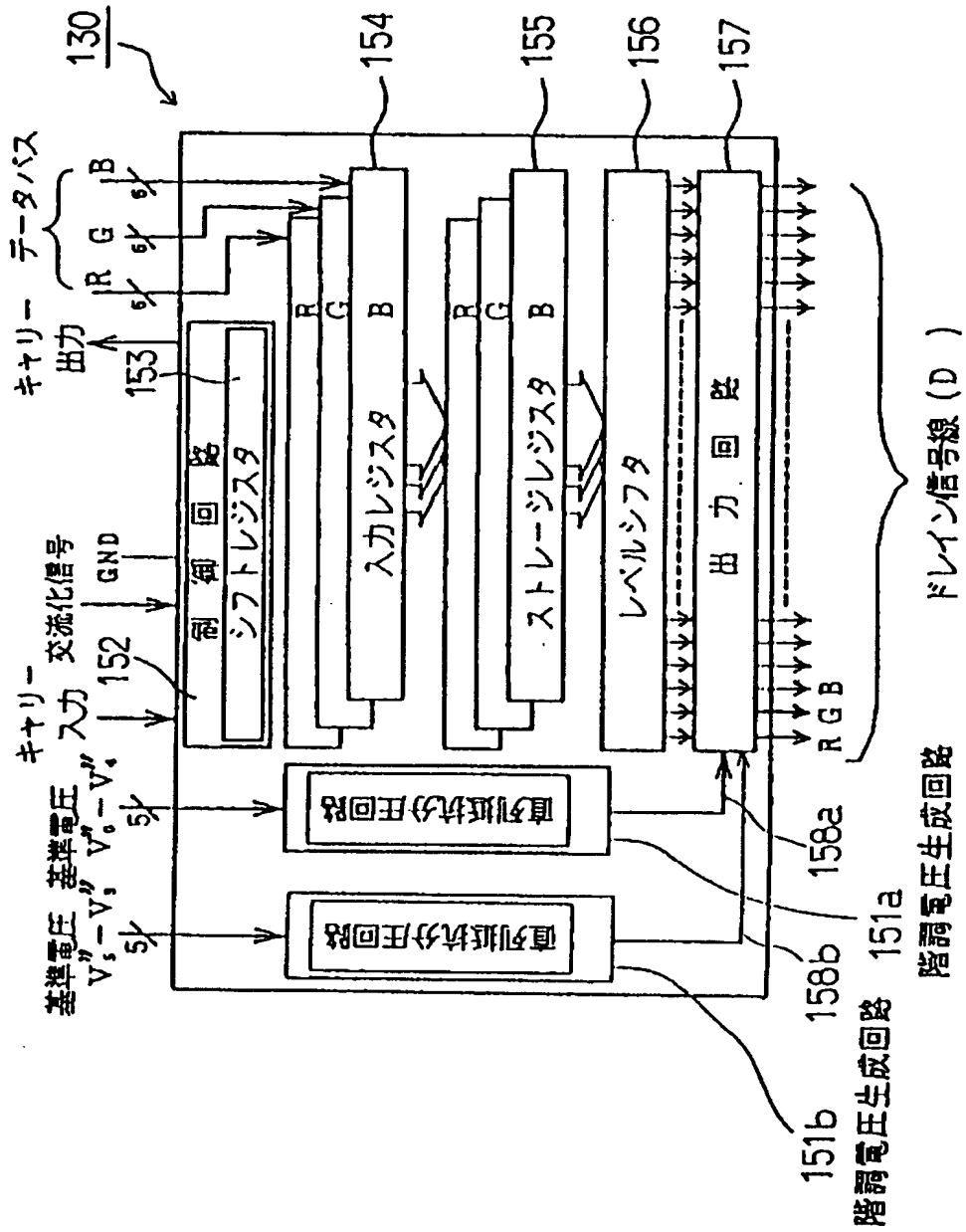
【図 3】

図 3



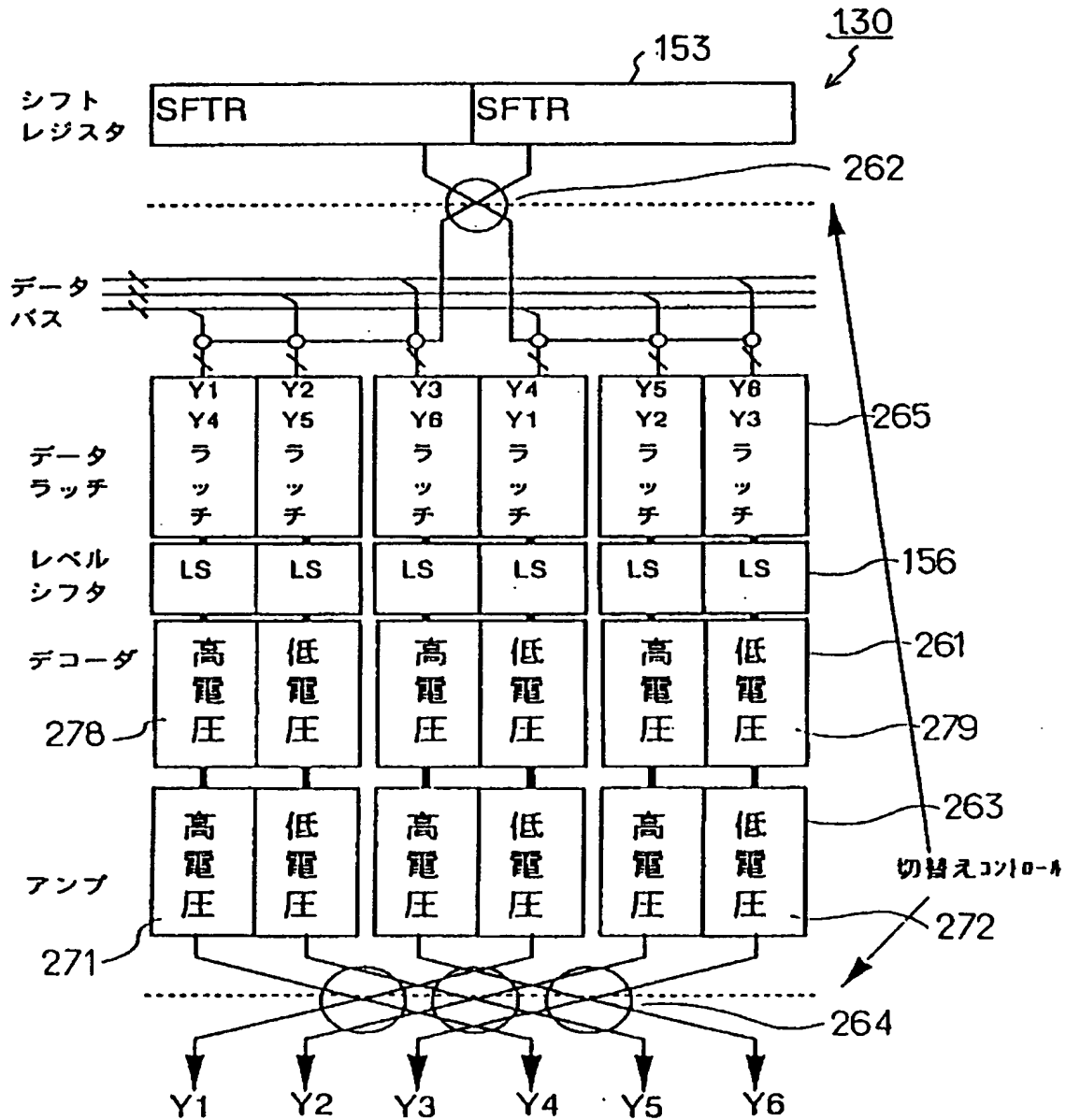
【図 4】

図 4

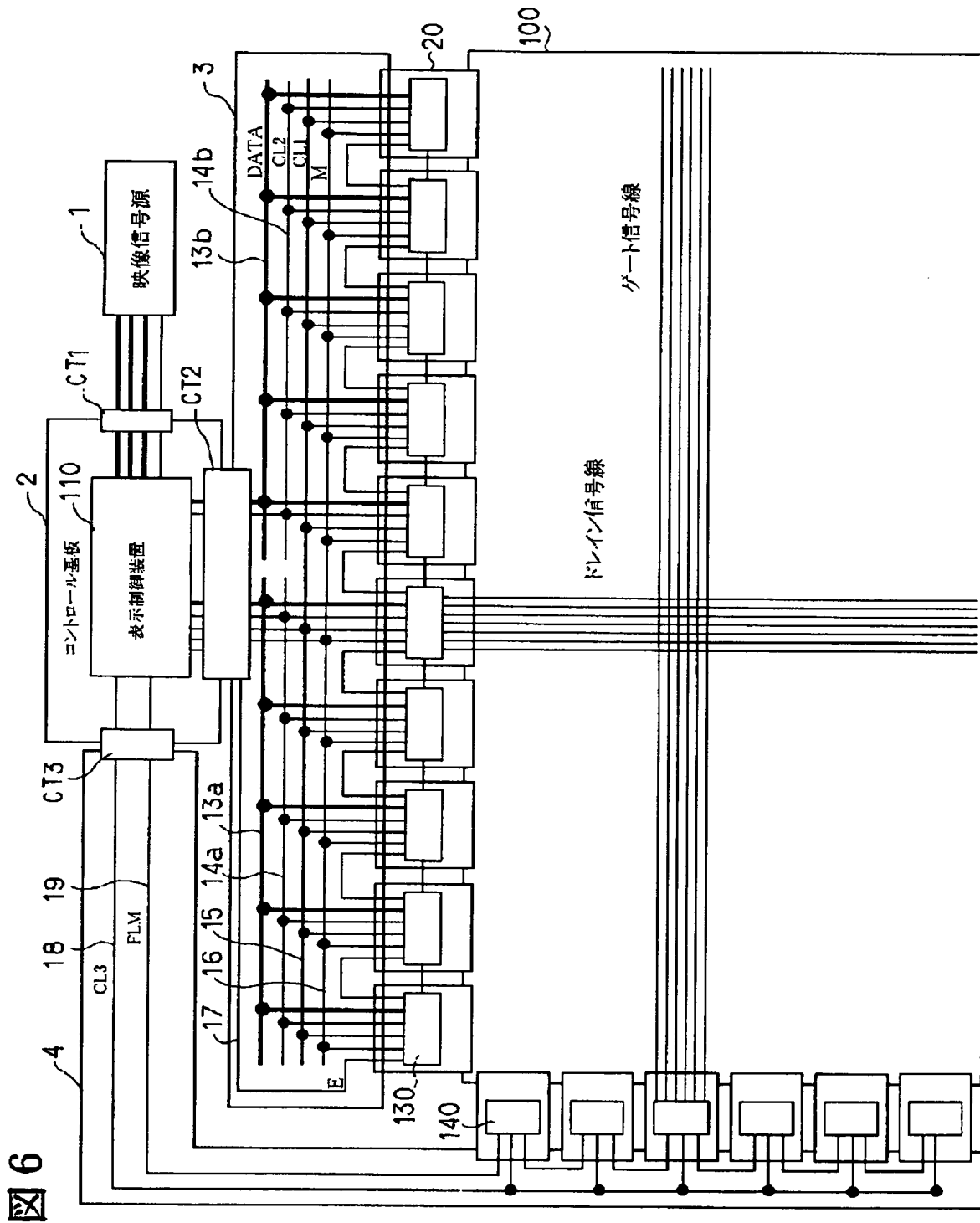


【図5】

図 5

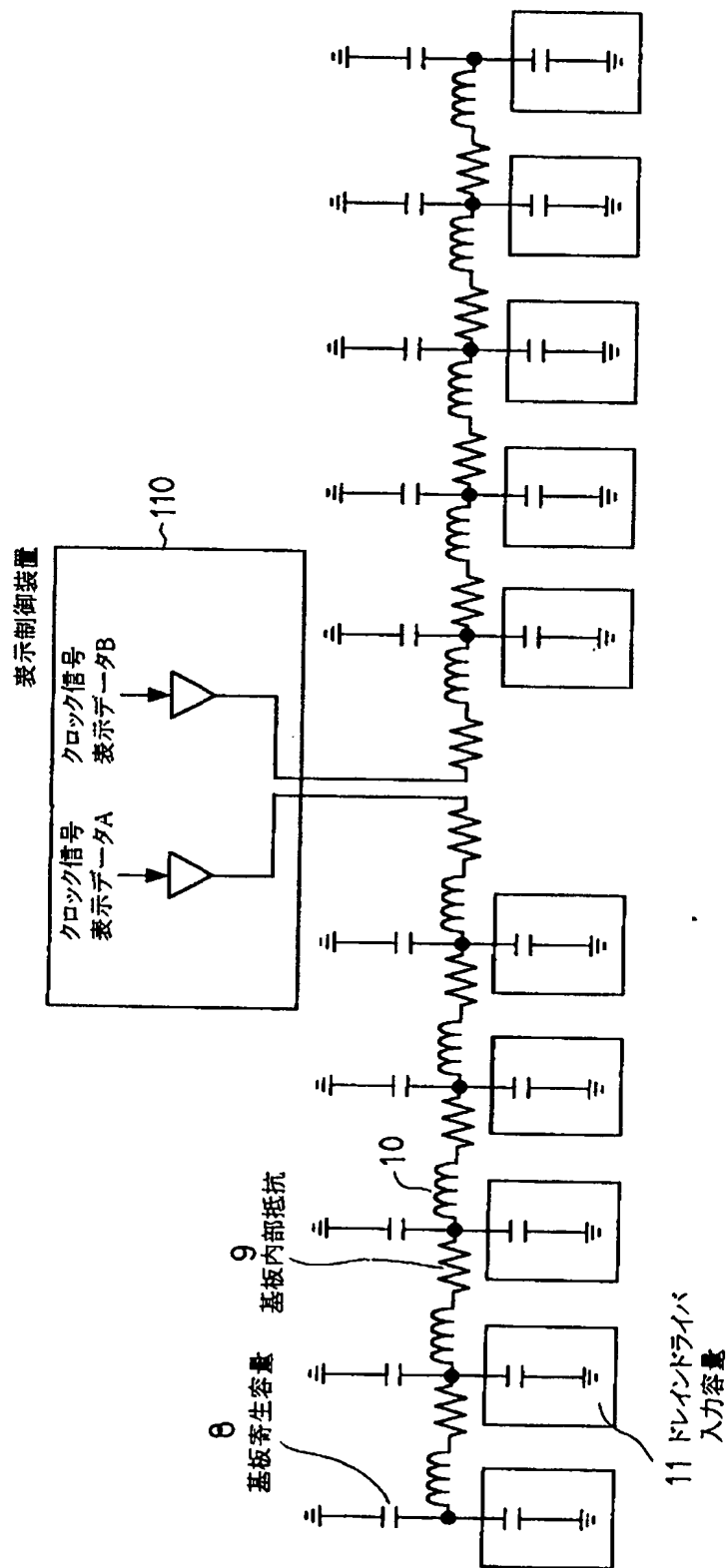


【図 6】



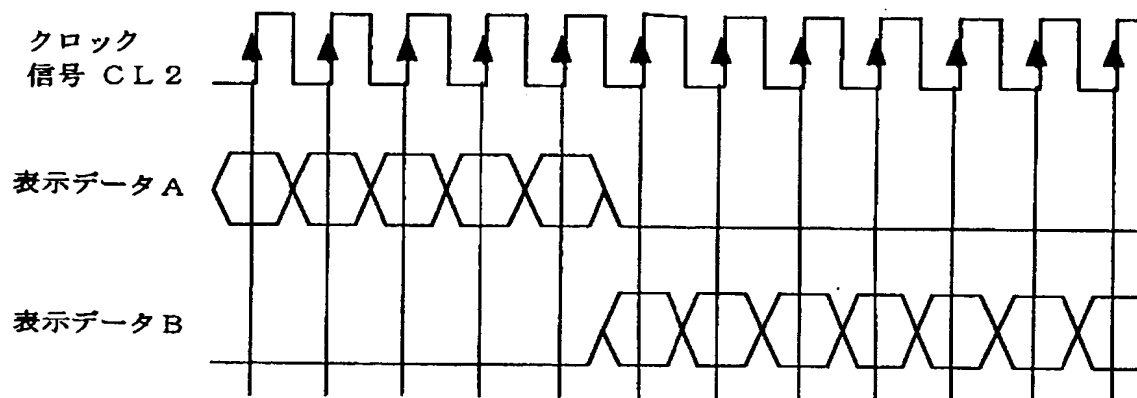
【図 7】

図 7



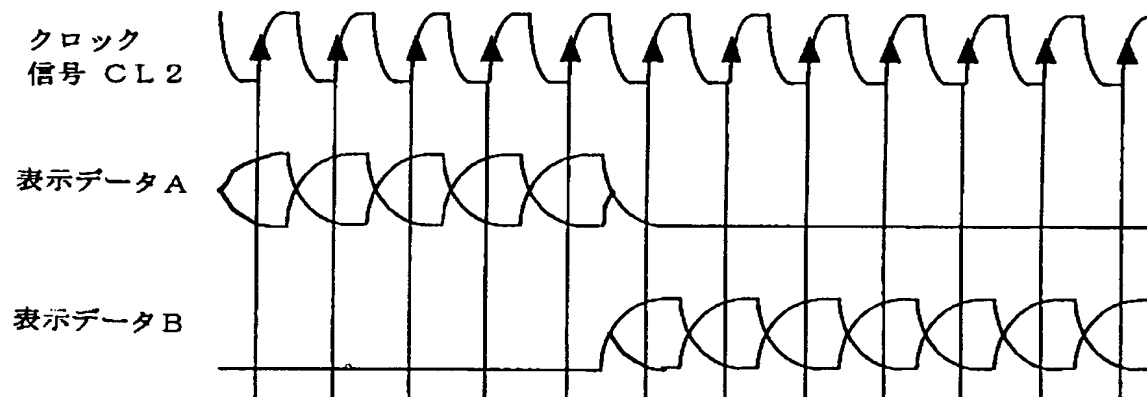
【図 8】

図 8

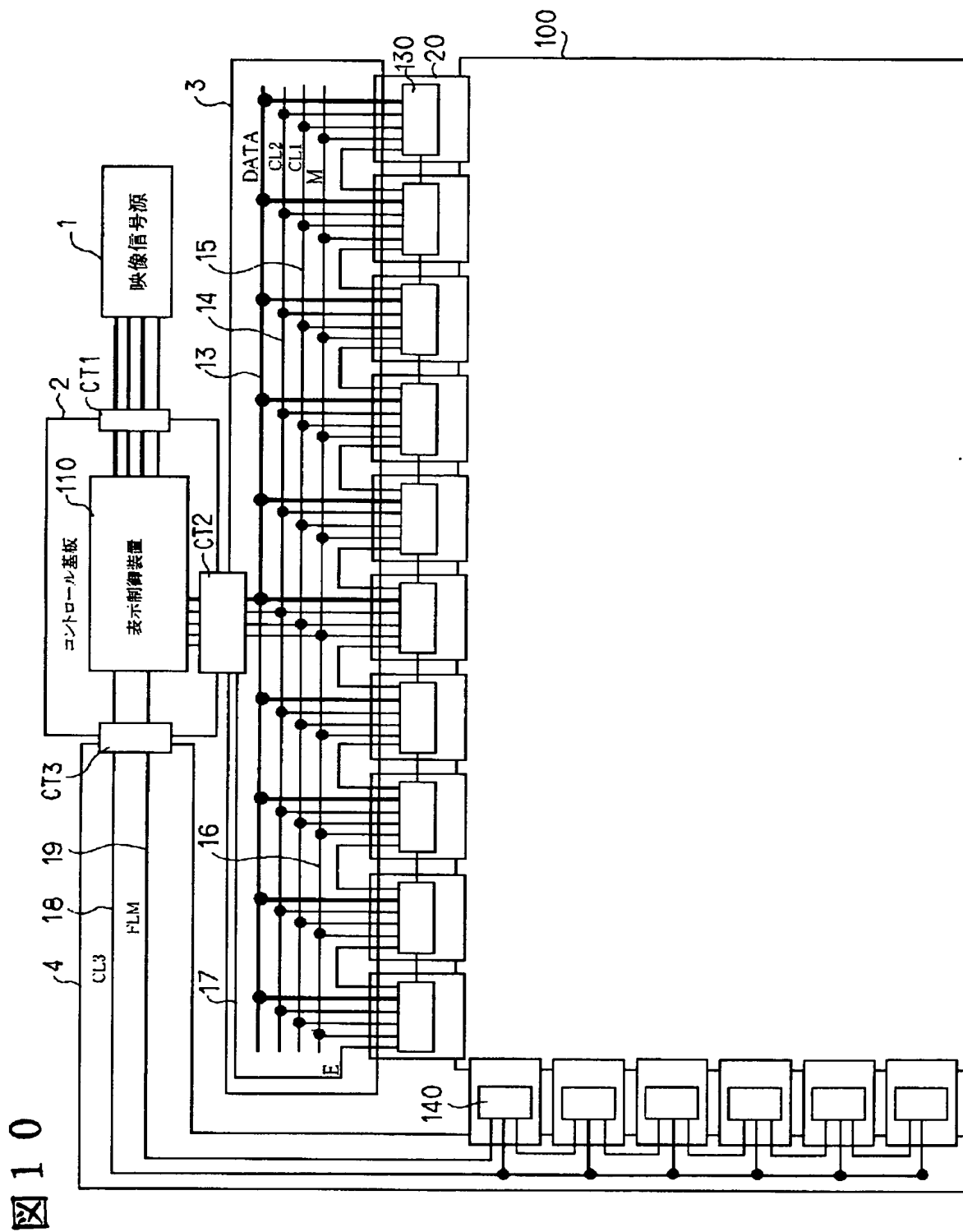


【図 9】

図 9

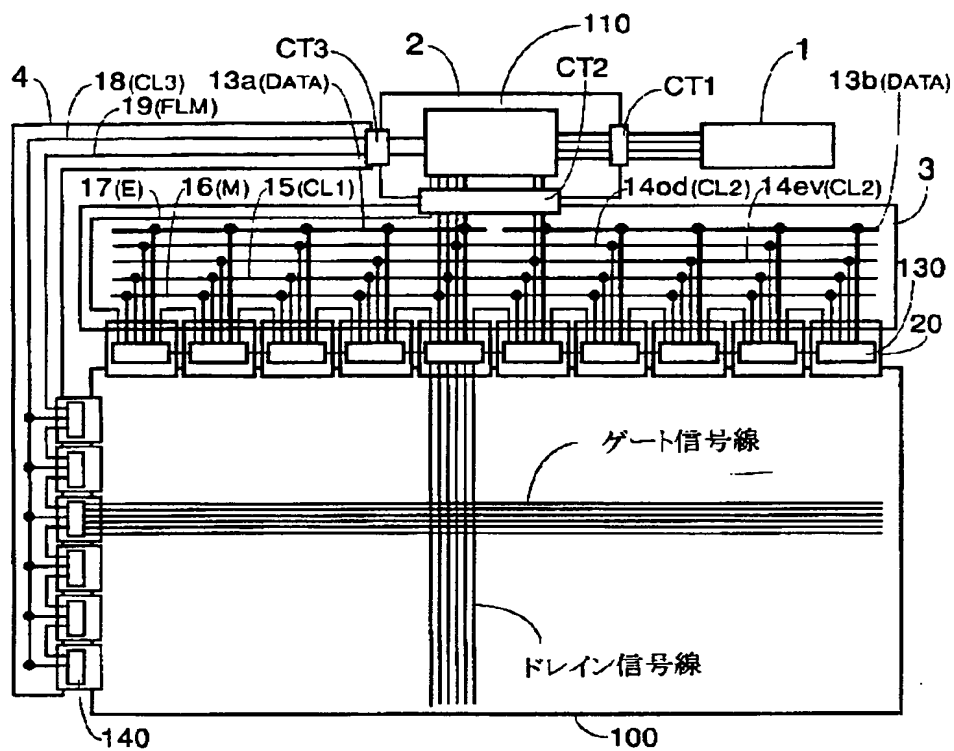


【図10】

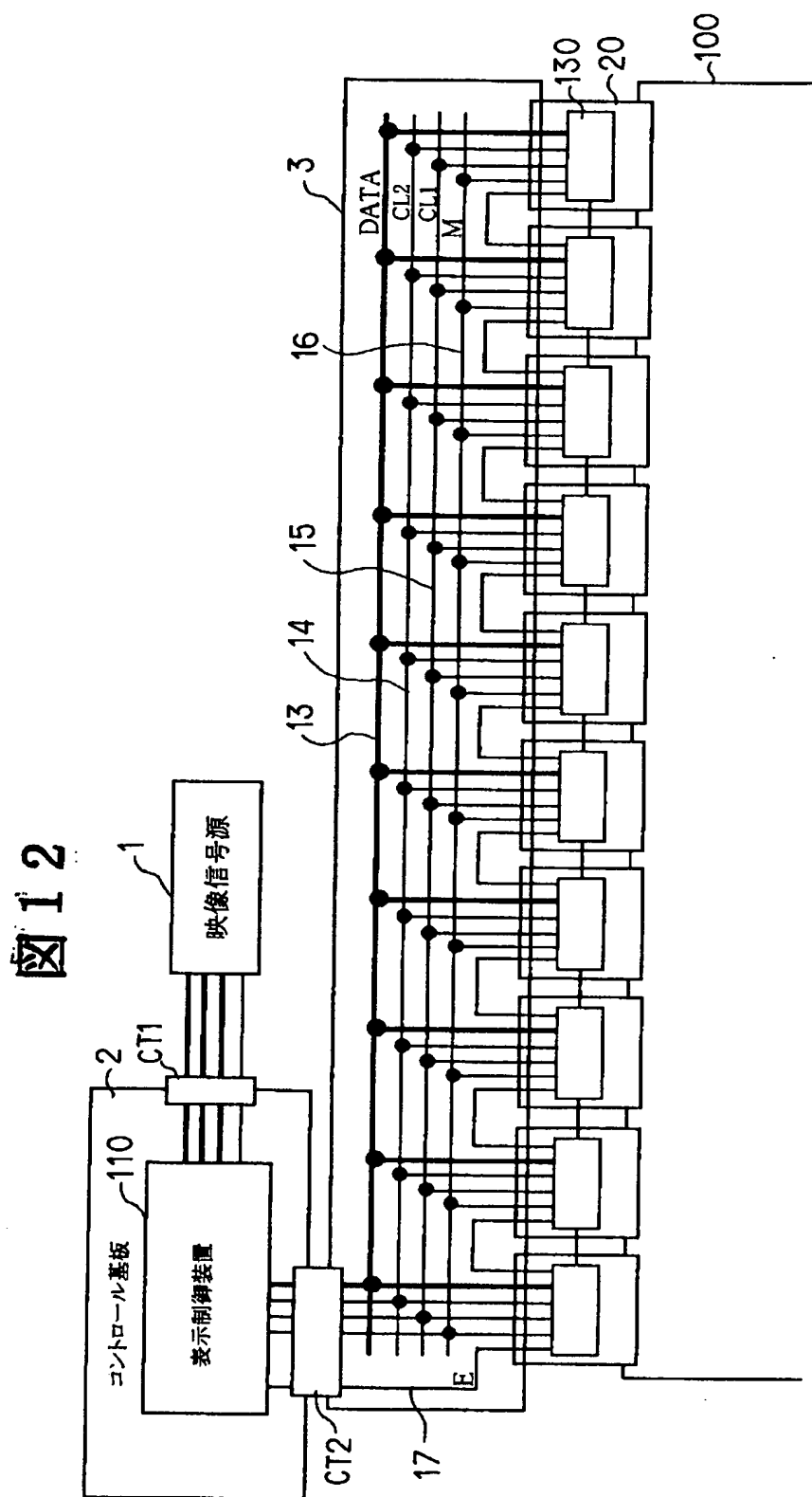


【図 1 1】

図 1 1

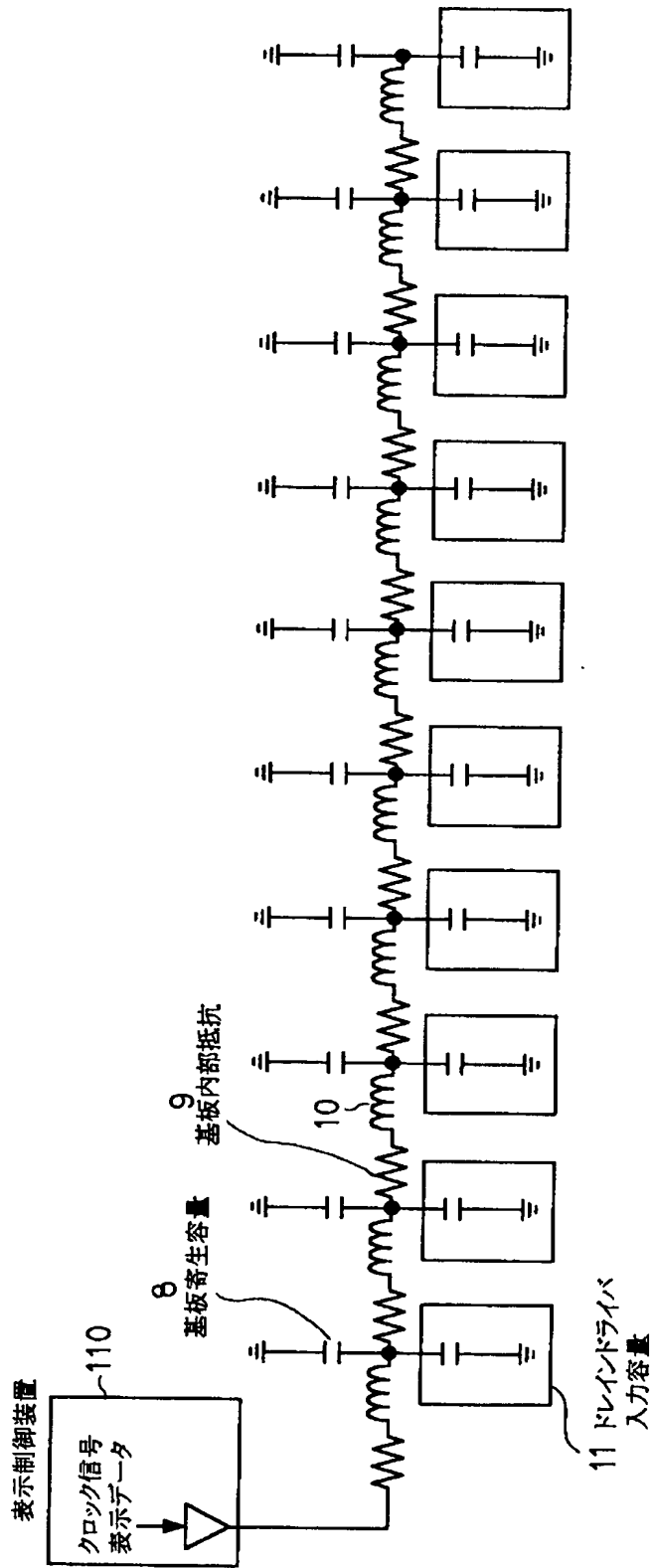


【図 12】



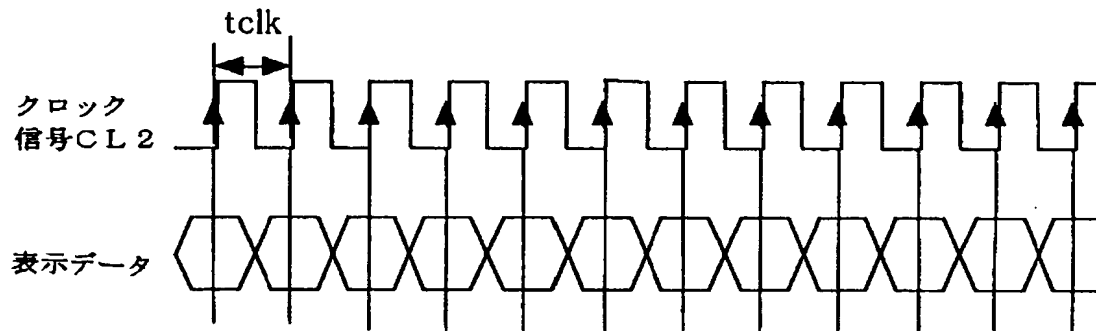
【図 1 3】

図 1 3



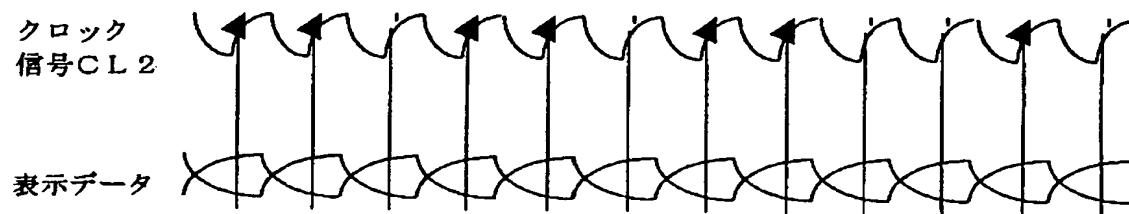
【図 1 4】

図 1 4



【図 1 5】

図 1 5



【書類名】 要約書

【要約】

【課題】 放射電磁雑音の発生量を低減することが可能な液晶表示装置を提供する。

【解決手段】 液晶表示素子と、複数の駆動回路と、表示データとクロック信号を前記複数の駆動回路に送出する表示制御装置と、前記表示制御装置と前記複数の駆動回路との間に設けられ、前記表示制御装置から送出される表示データおよびクロック信号を、基板内のバスラインおよびクロック信号線を介して、前記各駆動回路に供給する回路基板とを備える液晶表示装置であって、前記回路基板のバスラインおよびクロック信号線は、前記回路基板の連続した領域に形成されるとともに、複数個に分割されている。前記表示制御装置は、前記表示データおよびクロック信号を、送出タイミングに応じて、順番に前記分割された各バスラインおよび各クロック信号線に供給する。

【選択図】 図 6

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233088]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 千葉県茂原市早野3681番地

氏 名 日立デバイスエンジニアリング株式会社